

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月27日
Date of Application:

出願番号 特願2003-088181
Application Number:

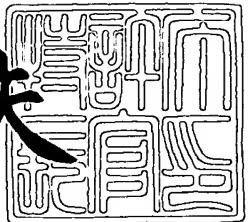
[ST. 10/C] : [JP2003-088181]

出願人 スタンレー電気株式会社
Applicant(s):

2003年 7月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 DS3226
【提出日】 平成15年 3月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 33/00
【発明の名称】 半導体発光素子及びその製造方法
【請求項の数】 15
【発明者】
【住所又は居所】 東京都目黒区中目黒2-9-13 スタンレー電気株式会社内
【氏名】 今 智司
【発明者】
【住所又は居所】 東京都目黒区中目黒2-9-13 スタンレー電気株式会社内
【氏名】 竹島 一樹
【発明者】
【住所又は居所】 東京都目黒区中目黒2-9-13 スタンレー電気株式会社内
【氏名】 園田 純一
【特許出願人】
【識別番号】 000002303
【氏名又は名称】 スタンレー電気株式会社
【代表者】 北野 隆典
【代理人】
【識別番号】 100091340
【弁理士】
【氏名又は名称】 高橋 敬四郎
【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9913038

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体発光素子及びその製造方法

【特許請求の範囲】

【請求項 1】 (a) 第1の基板を準備する工程と、
(b) 前記第1の基板上に、ボールアップ防止層を形成する工程と、
(c) 前記ボールアップ防止層上に、共晶材料で形成された接合層を形成して、支持基板を得る工程と、
(d) 第2の基板を準備する工程と、
(e) 前記第2の基板上に、半導体発光層を形成する工程と、
(f) 前記半導体発光層上の少なくとも一部の領域に、第1の電極を形成する工程と、
(g) 前記第1の電極上を含む領域に、バリア層を形成する工程と、
(h) 前記バリア層上に、金属層を形成して半導体積層構造を得る工程と、
(i) 前記支持基板の接合層と、前記半導体積層構造の金属層とを接合し、接合体を得る工程と、
(j) 前記接合体から、前記第2の基板を除去する工程と、

(k) 前記工程 (j) で、前記接合体表面に露出した前記半導体発光層上的一部の領域に、第2の電極を形成して、半導体発光素子を得る工程とを有し、

前記工程 (i) に際し、

前記接合層を形成する共晶材料が、前記金属層と共に共晶することにより、前記支持基板と前記半導体積層構造とが接合され、

前記ボールアップ防止層は、前記接合層がボールアップすることを防止し、

前記バリア層は、前記第1の電極を構成する材料の一部が、前記第1の電極の前記バリア層側に拡散することを防止し、更に、前記接合層を形成する共晶材料が、前記第1の電極内に侵入することを防止する半導体発光素子の製造方法。

【請求項 2】 前記工程 (a) において、前記第1の基板を、n型またはp型不純物を添加されたSiで形成する請求項1に記載の半導体発光素子の製造方法。

【請求項3】 前記工程（a）が、

（1）導電性基板を準備する工程と、

（m）前記導電性基板の少なくとも一方の面にAuを合金化する工程と
を含み、

前記工程（1）及び（m）によって前記第1の基板を得る請求項1または2に
記載の半導体発光素子の製造方法。

【請求項4】 前記工程（b）が、

（n）前記第1の基板上に、前記第1の基板と高い密着性を示す層を形成する
工程と、

（p）前記第1の基板と高い密着性を示す層上に、上部に形成される層の濡れ
性を向上させる層を形成する工程と
を含み、

前記工程（n）及び（p）によって、前記第1の基板上に前記ボールアップ防
止層を形成する請求項1～3のいずれか1項に記載の半導体発光素子の製造方法

。

【請求項5】 前記工程（b）が、

（q）前記第1の基板上に、Ti層を形成する工程と、

（r）前記Ti層上に、Ni層を形成する工程と
を含み、

前記工程（q）及び（r）によって、前記第1の基板上に前記ボールアップ防
止層を形成する請求項1～4のいずれか1項に記載の半導体発光素子の製造方法

。

【請求項6】 前記工程（g）が、

（s）前記第1の電極上に、前記第1の電極を構成する材料の一部が、前記第
1の電極の前記バリア層側に拡散することを防止する第1のバリア層を形成する
工程と、

（t）前記第1のバリア層上を含む領域に、前記接合層を形成する共晶材料が
、前記第1の電極内に侵入することを防止する第2のバリア層を形成する工程と
を含み、

前記工程（s）及び（t）によって、前記第1の電極上を含む領域に前記バリア層を形成する請求項1～5のいずれか1項に記載の半導体発光素子の製造方法。

【請求項7】 前記第1のバリア層を、Ti-W-窒化物で形成し、前記第2のバリア層を、Al-Ta、またはAl-Mo、またはAl-Wで形成する請求項6に記載の半導体発光素子の製造方法。

【請求項8】 基板と、
前記基板上に形成されるボールアップ防止層と、
前記ボールアップ防止層上に、共晶材料で形成される接合層と、
前記接合層上に形成される金属層と、
前記金属層上に形成されるバリア層と、
前記バリア層上の上部または内部に形成される第1の電極と、
前記第1の電極上を含む領域に形成される半導体発光層と、
前記半導体発光層上の一部の領域に形成される第2の電極と
を有し、
前記接合層と前記金属層とは、前記接合層を形成する共晶材料が、前記金属層
と共晶することにより接合されており、
前記接合層は、前記ボールアップ防止層により、ボールアップを防止され、
前記バリア層は、前記第1の電極を構成する材料の一部が、前記第1の電極の
前記バリア層側に拡散することを防止し、更に、前記接合層を形成する共晶材料
が、前記第1の電極内に侵入することを防止する半導体発光素子。

【請求項9】 前記基板が、n型またはp型不純物を添加されたSiで形成
されている請求項8に記載の半導体発光素子。

【請求項10】 前記基板が、導電性基板と、前記導電性基板の少なくとも
一方の面と合金化されているAu層とを含む請求項8または9に記載の半導体発
光素子。

【請求項11】 前記ボールアップ防止層が、前記基板上に形成された、前
記基板と高い密着性を示す層と、前記基板と高い密着性を示す層上に形成された
、上部に形成される層の濡れ性を向上させる層とを含む請求項8～10のいずれ

か1項に記載の半導体発光素子。

【請求項12】 前記ボールアップ防止層が、前記基板上に形成されたT i層と、前記T i層上に形成されたN i層とを含む請求項8～11のいずれか1項に記載の半導体発光素子。

【請求項13】 前記バリア層が、前記金属層上に、前記接合層を形成する共晶材料が、前記第1の電極内に侵入することを防止する第1のバリア層と、前記第1のバリア層の上部または内部に、前記第1の電極を構成する材料の一部が、前記第1の電極の前記バリア層側に拡散することを防止する第2のバリア層とを含む請求項8～12のいずれか1項に記載の半導体発光素子。

【請求項14】 前記第1のバリア層が、Al-Ta、またはAl-Mo、またはAl-Wで形成され、前記第2のバリア層が、Ti-W-窒化物で形成される請求項13に記載の半導体発光素子。

【請求項15】 前記バリア層または前記第1の電極が、前記半導体発光層から発光された光を反射する請求項8～14のいずれか1項に記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体発光素子及びその製造方法に関する。

【0002】

【従来の技術】

導電性の基板に、半導体発光層を貼り合わせた構造を有する半導体発光素子が提案されている。(たとえば、特許文献1, 2, 3参照。)

図4は、上記構造を有する、従来の半導体発光素子61の一例を示す概略的な断面図である。たとえばn型不純物を高濃度に添加したSi基板である導電性支持基板63上に、たとえばInである反射層68が積層される。反射層68上には、正孔に対してポテンシャルバリア機能を有するn型クラッド層66、正孔と電子との結合により光を発生する活性層65、及び、電子に対してポテンシャルバリア機能を有するp型クラッド層64が、この順に下から積層される。p型ク

ラッド層64上には、p型オーム電極62が形成される。また、導電性支持基板63の反射層68が形成されている面とは反対の面に、n型電極67が形成される。

【0003】

活性層65で発生し、反射層68に入射した光は、反射層68で反射され、半導体発光素子61の外部に取り出される。反射層68を、反射率の角度依存性がないように形成し、光の取り出し効率を向上させることができる。

【0004】

図5 (A) ~ (D) は、図4に示した半導体発光素子61の製造方法を説明するための概略的な断面図である。

【0005】

図5 (A) を参照する。導電性支持基板63上に、反射層68を積層し、第1の基板70を形成する。

【0006】

図5 (B) を参照する。たとえばGaNで形成される仮基板69上に、p型クラッド層64、活性層65及びn型クラッド層66を、下からこの順に積層し、第2の基板71を形成する。

【0007】

図5 (C) を参照する。図5 (A) に示した第1の基板70と、図5 (B) に示した第2の基板71とを、金属層68とn型クラッド層66とが接合されるように、接着する。

【0008】

図5 (D) を参照する。仮基板69を除去した後、p型クラッド層64上にp型オーム電極62を形成し、導電性支持基板63の反射層68が形成されている面とは反対の面に、n型電極67を形成する。

【0009】

【特許文献1】

特開2001-189490号公報

【特許文献2】

特開2001-44491号公報

【特許文献3】

特開2002-217450号公報

【0010】

【発明が解決しようとする課題】

しかしながら、たとえば、オーミック電極の材料として、AuZnを用いる場合、Znが拡散してしまうことにより、オーミック接触を取ることが困難となる場合が生じる。

【0011】

また、良好な反射特性と、良好なオーミック接合の両立も難しい。オーミック接合を形成するには、合金化工程が必要であるが、合金化すると、半導体と電極界面のモフォロジーが荒れることにより、もしくは、電極材料が拡散することにより、反射率が低下するためである。

【0012】

更に、第1の基板70と第2の基板71との接合（貼り合わせ）には、はんだや共晶材料を用いるが、はんだや共晶材料が反射層に侵入してしまうため、反射層の反射特性が低下するという問題もあった。また、2つの基板70, 71を貼り合わせる際に、はんだや共晶材料がボールアップする問題点も生じる。

【0013】

本発明の目的は、高品質の半導体発光素子、及び、その製造方法を提供することである。

【0014】

【課題を解決するための手段】

本発明の一観点によれば、(a) 第1の基板を準備する工程と、(b) 前記第1の基板上に、ボールアップ防止層を形成する工程と、(c) 前記ボールアップ防止層上に、共晶材料で形成された接合層を形成して、支持基板を得る工程と、(d) 第2の基板を準備する工程と、(e) 前記第2の基板上に、半導体発光層を形成する工程と、(f) 前記半導体発光層上の少なくとも一部の領域に、第1の電極を形成する工程と、(g) 前記第1の電極上を含む領域に、バリア層を形

成する工程と、(h)前記バリア層上に、金属層を形成して半導体積層構造を得る工程と、(i)前記支持基板の接合層と、前記半導体積層構造の金属層とを接合し、接合体を得る工程と、(j)前記接合体から、前記第2の基板を除去する工程と、(k)前記工程(j)で、前記接合体表面に露出した前記半導体発光層上の一部の領域に、第2の電極を形成して、半導体発光素子を得る工程とを有し、前記工程(i)に際し、前記接合層を形成する共晶材料が、前記金属層と共晶することにより、前記支持基板と前記半導体積層構造とが接合され、前記ボールアップ防止層は、前記接合層がボールアップすることを防止し、前記バリア層は、前記第1の電極を構成する材料の一部が、前記第1の電極の前記バリア層側に拡散することを防止し、更に、前記接合層を形成する共晶材料が、前記第1の電極内に侵入することを防止する半導体発光素子の製造方法が提供される。

【0015】

この半導体発光素子の製造方法によれば、工程(i)において接合を行う際、ボールアップを防止することができる。また、接合(共晶)材料の拡散による、半導体発光素子の反射層の反射率低下を防ぐことが可能である。

【0016】

また、本発明の他の観点によれば、基板と、前記基板上に形成されるボールアップ防止層と、前記ボールアップ防止層上に、共晶材料で形成される接合層と、前記接合層上に形成される金属層と、前記金属層上に形成されるバリア層と、

前記バリア層上の上部または内部に形成される第1の電極と、前記第1の電極上を含む領域に形成される半導体発光層と、前記半導体発光層上の一部の領域に形成される第2の電極とを有し、前記接合層と前記金属層とは、前記接合層を形成する共晶材料が、前記金属層と共晶することにより接合されており、前記接合層は、前記ボールアップ防止層により、ボールアップを防止され、前記バリア層は、前記第1の電極を構成する材料の一部が、前記第1の電極の前記バリア層側に拡散することを防止し、更に、前記接合層を形成する共晶材料が、前記第1の電極内に侵入することを防止する半導体発光素子が提供される。

【0017】

この半導体発光素子は、ボールアップや反射率低下が防止された、高品質の半

導体発光素子である。

【0018】

【発明の実施の形態】

図1 (A) ~ (G) は、第1の実施例による半導体発光素子の製造方法を示す概略的な断面図である。

【0019】

図1 (A) を参照する。たとえばn型またはp型不純物を高濃度に添加したSiで形成された導電性基板11の両面に、Au層12を蒸着し、窒素雰囲気下において、400°Cで合金化する。Au層12の厚さは、たとえば150~600nmである。合金化により、導電性基板11とAu層12とは共晶化し、一体化され、オーミック接触を形成する。このため、Au層12は導電性基板11から剥離しない。なお、導電性基板11は、Si以外の材料、たとえばCuなど、導電性があり、熱伝導率が高く、Auと合金化する材料で形成することができる。

【0020】

図1 (B) を参照する。一方のAu層12上にTi層13、Ti層13上にNi層14、更に、Ni層14上にAuSn共晶層15を、電子線加熱蒸着法(EB法)により蒸着する。Ti層13の厚さは、100~200nm、Ni層14の厚さは、50~150nm、AuSn共晶層15の厚さは、600~1200nmである。AuSn共晶層15の組成は、Au:Sn=約20wt%:約80wt%である。なお、Ti層13、Ni層14、及びAuSn共晶層15の蒸着は、EB法でなく、抵抗加熱蒸着法やスパッタ法により蒸着してもよい。

【0021】

導電性基板11、Au層12、Ti層13、Ni層14及びAuSn層15の積層構造を支持基板30と呼ぶことにする。支持基板30が、Ti層13及びNi層14を備えることにより、AuSn共晶層15が溶融する温度である約280°C(共晶温度)に加熱しても、AuSn共晶層15が支持基板30上でボールアップすることを防止することができる。「ボールアップ」とは、共晶温度以上で一度液化したAuSnが、温度の降下により再び固化する際、支持基板30上で偏析することにより、部分的に盛り上がる現象をいう。

【0022】

なお、Ni層14の代わりに、Ti層13上に、NiV層を形成しても、ボルアップを防止する効果が得られる。

【0023】

図1 (C) を参照する。次に、半導体発光層22に格子整合可能な半導体基板21、たとえばGaAs基板を準備し、半導体基板21上に、半導体発光層22を形成する。半導体発光層22は、電流を注入することにより、その半導体固有の波長の光を発光する。半導体発光層22は、たとえば量子井戸構造から構成される。また、ホモpn結合、ダブルヘテロ(DH)構造、シングルヘテロ(SH)構造で構成してもよい。半導体発光層22については、後に詳述する。

【0024】

半導体発光層22上に、オームック電極23を形成する。オームック電極23は、半導体発光層22とオームック接合を形成することのできる金属を用いて形成される。たとえば、半導体発光層22の表面を構成する層が、p型の化合物半導体、たとえばp-AlGaInPで形成されている場合、たとえばAuZnを用いて、p型電極とすることができます。オームック電極23は、たとえば抵抗加熱蒸着法、EB法、スパッタ法などの真空堆積法を用いて、半導体発光層22上に形成される。

【0025】

また、製造後の半導体発光素子において、オームック電極23は、半導体発光層22で発光された光を反射し、半導体発光素子の光取り出し効率を向上させるための反射層として機能する。

【0026】

オームック電極23上に、たとえば、Ti-W-窒化物で構成された導電性の拡散バリア層24を、たとえば反応性スパッタ法を用いて形成する。導電性の拡散バリア層24の厚さは、100～200nmである。少なくとも、100nmよりも厚く形成する必要がある。導電性の拡散バリア層24の機能については後述する。

【0027】

導電性の拡散バリア層24形成後に、半導体発光層22とオーミック電極23との良好なオーミック接合を形成するために、合金化を行う。たとえば、半導体発光層22の表面を構成する層がp型AlGaInPで形成され、オーミック電極23がAuZnで形成されている場合、たとえば窒素雰囲気下、約500°Cで熱処理を行う。

【0028】

合金化の後、導電性の拡散バリア層24上に、たとえばAlで形成される第1の侵入バリア層25、第1の侵入バリア層25上に、たとえばTaで形成される第2の侵入バリア層26を蒸着する。Alで形成される第1の侵入バリア層25の厚さは、600nm以上1000nm以下であることが望ましく、蒸着には、EB法、抵抗加熱蒸着法、スパッタ法等を用いることができる。

【0029】

Taで形成される第2の侵入バリア層26の厚さは、100nm以上200nm以下であることが好ましく、蒸着には、EB法を用いる。Taは高融点金属であるため、抵抗加熱蒸着法では蒸着が困難であるが、EB法を用いることで、Ta層を容易に成膜することができる。なお、第2の侵入バリア層26は、Taの他、Mo、W等の高融点金属材料で形成することが可能である。第1の侵入バリア層25及び第2の侵入バリア層26の機能については、後述する。

【0030】

第2の侵入バリア層26上に、たとえばAuで形成される金属層27を形成する。半導体基板21、半導体発光層22、オーミック電極23、拡散バリア層24、第1の侵入バリア層25、第2の侵入バリア層26、及び金属層27の積層構造を、半導体積層構造31と呼ぶことにする。

【0031】

図1(E)を参照する。続いて、支持基板30と半導体積層構造31とを、たとえば熱圧着(メタルボンディング)で接合する。熱圧着(メタルボンディング)とは、共晶材料が溶融する温度を加え、更に加重することにより、共晶層15を設けた支持基板30と半導体積層構造31とを、接着する方法である。AuSn共晶層15に含まれる共晶材料(AuSn)によって、両者は接合される。接

合は、AuSn共晶層15と金属層27とを、たとえば、窒素雰囲気下、300°Cで10分間、約1Mpaの圧力で密着させることにより行う。

【0032】

前述の第1の侵入バリア層25及び第2の侵入バリア層26は、熱圧着（メタルボンディング）に際して、共晶材料（AuSn）が、オーミック電極23に侵入することを防止する機能を有する。本願発明者らは、第1の侵入バリア層25にAlを用い、第2の侵入バリア層26にTaを用いることが特に有効であることを見出した。また、拡散バリア層24は、第1の侵入バリア層25及び第2の侵入バリア層26に、オーミック電極23を形成するAuZn中のZnが拡散することを防止する機能を有する。

【0033】

なお、熱圧着（メタルボンディング）時の雰囲気、接合温度、及び接合時間は、使用する共晶材料が溶融し、その特性に変化（たとえば、酸化等による接合強度の劣化）を及ぼすことがなく、支持基板30と半導体積層構造31とが接合されるのに十分なそれらであればよい。

【0034】

図1(F)を参照する。支持基板30と半導体積層構造31とを接合した後、たとえばウェットエッティングにより、GaAs基板である半導体基板21を除去する。エッチャントとしては、たとえばNH₄OH系エッチャントを使用する。なお、半導体基板21を除去するためには、ドライエッティングや機械研磨法を用いてもよい。また、ウェットエッティング、ドライエッティング、機械研磨法のうちの少なくとも1つの方法を含む組み合わせにより除去することもできる。

【0035】

図1(G)を参照する。半導体基板21を除去した後、半導体発光素子の表面に現れた半導体発光層22とオーミック接合をする表電極28を、半導体発光層22上に形成する。表電極28は、たとえば、半導体発光層22の表面を構成する層が、n型の半導体層である場合は、n型半導体とオーミック接合を形成することのできる材料、たとえばAuSnNi、AuGeNi等で形成される。

【0036】

表電極28は、たとえばリフトオフ法を用いて形成される。リフトオフ法とは、半導体発光層22上にフォトレジストを塗布し、フォトマスクを用いて露光することにより、所望の電極形状を開口し、電極材料を蒸着し、その後フォトレジストを、その上の金属層とともに取り除く方法である。電極材料を蒸着する方法として、抵抗加熱蒸着法、EB法、スパッタ法などを用いることができる。

【0037】

以上のような工程を経て、半導体発光素子32を製造することができる。

【0038】

ここで、支持基板30が、Ti層13及びNi層14（ボールアップ防止層）を有するメリットについて説明する。

【0039】

ボールアップを防止する構造を備えない支持基板を用いて、半導体積層構造31との熱圧着（メタルボンディング）を行うと、まず、圧着中に、共晶材料がボールアップし、半導体積層構造31が支持基板に対して水平に接合されない。次に、接合が水平にされない場合、圧着の後工程で、リソグラフィを行うことが困難となる。たとえば、図1（G）を参照して説明した工程において、ボールアップ現象のため、フォトレジストを塗布した面とフォトマスクを密着させることができず、10μm以下のサイズの任意形状の表電極28を作製することが難しい。たとえ、初めに電極材料を、半導体発光層22上に蒸着し、その後フォトレジストにより所望の電極形状を作製し、不要な電極をエッティング等により除去する方法を採用しても、フォトリソグラフィ工程が含まれる限りボールアップの影響がある。なお、簡便な電極形成法として公知の、シャドウマスク蒸着法を用いて電極を作製する方法もあるが、この方法では、10μm以下のサイズを有する電極を、精度よく形成することは困難である。

【0040】

Ti層13及びNi層14（ボールアップ防止層）を有する支持基板30を用いて半導体発光素子32を製造すると、上述の問題を回避することができ、高品質の半導体発光素子32を作製することができる。

【0041】

図2 (A) ~ (C) を用いて、図1 (D) に示す半導体積層構造3 1に現れる半導体発光層2 2の構造を説明する。

【0042】

図2 (A) を参照する。たとえば、半導体発光層2 2は、バリア層2 2bとウエル層2 2wとの積層構造が現れる量子井戸構造を有する。

【0043】

図2 (B) を参照する。半導体発光素子2 2は、n型半導体層2 2n上に、異なる組成のp型半導体層2 2pが積層されたシングルヘテロ構造 (SH) を有してもよい。

【0044】

図2 (C) を参照する。半導体発光素子2 2は、n型半導体層2 2n上に、異なる組成のバンドギャップの狭いi層2 2iが形成され、i層2 2i上に、異なる組成のバンドギャップの広いp型半導体層2 2pが形成されるダブルヘテロ構造 (DH) を備えていてもよい。

【0045】

上記の半導体発光素子の製造方法によると、AuSn共晶層1 5の下部にボールアップ防止層 (Ti層1 3及びNi層1 4) を形成した支持基板3 0を用いることにより、支持基板3 0と半導体積層構造3 1とを接合する際のAuSnのボールアップを防止できる。

【0046】

ボールアップ防止層が形成されていない支持基板を用いた場合、約10~30 μ mの高さのAuSnの塊が生じる。しかし、ボールアップ防止層を形成した支持基板3 0を用いた場合、光学顕微鏡での観察を行っても、塊は見られなかった。このことから、ボールアップ防止層を形成することで、ボールアップを完全に防止できると考えられる。または、ボールアップが生じていたとしても、その高さは、光学顕微鏡の認識の閾値である2 μ m以下であろうと考えられる。

【0047】

Ti層1 3は、その下部にあるAu層1 2と高い密着性を示す層として機能すると考えられる。また、Ti層1 3上にNi層1 4を形成することにより、その

上に形成する層の濡れ性が向上すると考えられる。このN_i層14による濡れ性の向上により、AuSnの偏析が防止できると考えられる。

【0048】

また、導電性基板11の両面にAuを蒸着し、合金化を行うことにより、導電性基板11から剥離しないAu層12を形成することができる。導電性基板11とAu層12とを合金化することで、密着性に優れ、良好なオーミック性を有し、寿命の長い、信頼性の高い半導体発光素子32を得ることができる。また、半導体発光素子の製造過程においても、合金化の後工程における耐久性を向上させることができる。

【0049】

更に、AuZnで形成されるp型オーミック電極23上に、Ti-W-窒化物で構成されるバリア層を作製することにより、支持基板30と半導体積層構造31との接合に当たって、AuZn中のZnが、第1の侵入バリア層25及び第2の侵入バリア層26内に拡散することを防止することができる。

【0050】

バリア層によるZnの拡散防止の効果は、たとえば、接触抵抗値の減少に現れる。本願発明者らは、以下のような実験を行い、Znの拡散がバリア層によって防止されることを確認した。

【0051】

まず、バリア層(Ti-W-窒化物)の有無に相違のある2つの構造を準備した。一方は、p-InGaP基板上に厚さ200nmのAuZn層を蒸着し、AuZn層上に厚さ300nmのAl層を蒸着した構造を有し、500°Cで合金化を行った。もう一方は、p-InGaP基板上に厚さ200nmのAuZn層を蒸着し、AuZn層上に厚さ100~200nmのバリア層(Ti-W-窒化物)を蒸着し、更にバリア層上に厚さ300nmのAl層を蒸着した構造を有し、やはり500°Cで合金化を行った。

【0052】

次に、上記2つの構造について、p-InGaP基板とAuZn層間の接触抵抗を測定した。その結果、前者の構造における接触抵抗値は、 2.7×10^{-4} (

$\Omega \text{ cm}^2$) であったのに対し、バリア層を設けた後者の接触抵抗値は、 $5 \times 10^{-6} \sim 6 \times 10^{-5}$ ($\Omega \text{ cm}^2$) であった。

【0053】

バリア層を有する構造の方が、接触抵抗値が1桁～2桁小さい。接触抵抗値が小さいほど、オーム特性が良好であると判断されるので、バリア層 (Ti-W-窒化物) の存在により、より良好なオーム特性が確保されているということができる。これは、バリア層 (Ti-W-窒化物) によって、Znの拡散が防止された結果である。

【0054】

更にまた、A1で形成された第1の侵入バリア層25、及び、Taで形成された第2の侵入バリア層26を形成することにより、支持基板30と半導体積層構造31との接合に際して、共晶材料 (AuSn) が、半導体発光素子32において反射層として機能するオーム電極23中に、侵入するのを防止し、反射率の低下を防ぐことができる。

【0055】

2つの侵入バリア層によって、共晶材料 (AuSn) のオーム電極23中の侵入を、ほぼ完全に防止することができると考えられる。AuSnは、n型電極としても使われている、すなわちSnはn型のドーパントとしても機能するため、オーム電極23にp型の電極 (AuZn) を使用した場合、仮にAuSnが侵入バリア層を透過して、AuZn層まで到達したとすると、オーム特性の悪化や、より悪い場合には、ショットキー接合を招くことになる。しかし、本願発明者らが、侵入バリア層を設けて実験を行った結果、オーム特性に変化は見られなかった。このため、オーム電極23中のAuSnの侵入は、ほぼ完全に防止されると考えることができる。

【0056】

これらの効果、理由のため、高品質の半導体発光素子32を製造することができる。

【0057】

導電性基板11とAu層12との合金化について付記しておく。両者の合金化

において、効果が大きいのは、半導体積層構造31と貼り合わせを行う側の表面のAu層12との合金化である。反対側表面の電極材料の構成については、ダイボンディングなど、電極の取り出しのためのものであるため、他の電極材料、たとえばTi/TiN/Al等を用いてもよい。ただし、工程簡略化のために、表裏とも同一材料で形成することが好ましいであろう。また、Auは、Siとの共晶温度が約400℃と低いため、量産性を考慮したとき、適切な材料と言えるであろう。なお、Siと共晶する温度は、Ptで、600～800℃、Niで、約900℃、Tiでも、約900℃である。

【0058】

図3 (A)～(F)は、第2の実施例による半導体発光素子の製造方法を示す概略的な断面図である。

【0059】

図3 (A)に示すのは、図1 (A)及び(B)を用いて、構造及び製造方法を説明した支持基板30である。まず、図1 (A)及び(B)に示す工程によって、支持基板30を作製する。

【0060】

図3 (B)を参照する。次に、第1の実施例の同様に、半導体基板21、たとえばGaAs基板を準備し、半導体基板21上に、半導体発光層22を形成する。半導体発光層22は、電流を注入することにより、その半導体固有の波長の光を発光するもので、第1の実施例において説明したように、たとえば量子井戸構造、単純なpn結合、ダブルヘテロ(DH)構造、シングルヘテロ(SH)構造等で構成される。

【0061】

半導体発光層22上的一部分の領域に、オーム電極23を形成する。オーム電極23を形成する材料、及び形成方法は、第1の実施例で行った説明と同様である。

【0062】

続いて、オーム電極23上に第1のバリア層41を、たとえば、Ti-W-窒化物で形成する。第1のバリア層41の厚さは、たとえば100～200nm

mであり、少なくとも100nmより厚く形成する必要がある。たとえば反応性スパッタ法を用いることによって形成する。第1のバリア層41の機能については、後述する。

【0063】

第1のバリア層41形成後に、半導体発光層22とオーム接合電極23との良好なオーム接合を形成するために、合金化を行う。たとえば、半導体発光層22の表面を構成する層がp型AlGaInPで形成され、オーム接合電極23がAuZnで形成されている場合、たとえば窒素雰囲気下、約500°Cで熱処理を行う。

【0064】

合金化の後、導電性を有する反射層を形成する。第1のバリア層41上、及び、第1のバリア層41（オーム接合電極23）の形成されていない半導体発光層22上に、たとえばAlで金属反射層42を蒸着する。金属反射層42の厚さは、オーム接合電極23及びその上に形成される第1のバリア層41の厚さの合計よりも厚くなければならない。たとえば600nm以上1000nm以下であることが望ましい。金属反射層42は、たとえばEB法、抵抗加熱蒸着法、スパッタ法等により形成することができる。

【0065】

金属反射層42は、第1の実施例による製造方法で製造された半導体発光素子32における第1の侵入バリア層25のAlを、反射電極としても利用する構成となっている。すなわち、製造後の半導体発光素子において、金属反射層42は、半導体発光層22で発光された光を反射し、半導体発光素子の光取り出し効率を向上させるための反射層としても機能する。

【0066】

Alで形成された金属反射層42は、半導体発光素子22の発光する光の波長が、650nm付近であるとき、入射した光を、約80%以上の反射率で反射する。Alで形成された金属反射層42は、700nm以下の波長の光を、約80%以上の反射率で反射することができる。なお、金属反射層42については、後に補足を行う。

【0067】

図3 (C) を参照する。金属反射層42上に、Ta、Mo、Wなどの高融点金属で、第2のバリア層43を形成する。第2のバリア層43の厚さは、たとえば、100～200nmである。Ta、Mo、Wなどの高融点金属は、抵抗加熱蒸着法では蒸着が困難であるため、たとえばEB法を用いて蒸着を行う。EB法を用いることにより、第2のバリア層43が容易に形成される。第2のバリア層43の機能については、後述する。

【0068】

第2のバリア層43上に、たとえばAuで形成される金属層27を形成する。半導体基板21、半導体発光層22、オーム電極23、第1のバリア層41、金属反射層42、第2のバリア層43、及び金属層27の積層構造を、半導体層44と呼ぶことにする。

【0069】

図3 (D) を参照する。続いて、支持基板30と半導体層44とを、たとえば熱圧着（メタルボンディング）で接合する。接合時の雰囲気、接合温度及び接合時間は、第1の実施例において、図1 (E) を用い説明したそれらと同様である。

【0070】

前述の第1のバリア層41は、熱圧着（メタルボンディング）に際して、金属反射層42に、オーム電極23を形成するAuZn中のZnが拡散することを防止する機能を有する。仮に、第1のバリア層41が形成されず、オーム電極23と金属反射層42とが主たる領域において接触した場合、オーム電極23を形成するAuZn中のZnが、金属反射層42中に拡散し、半導体発光層22とオーム電極23間のオーム特性が悪くなる。つまり、オーム特性が失われ、ショットキー特性が現れる。

【0071】

また、第2のバリア層43は、熱圧着（メタルボンディング）に際して、共晶材料(AuSn)が、金属反射層42に侵入することを防止する機能を有する。共晶材料(AuSn)が、金属反射層42に侵入した場合、金属反射層42の反

射率が低下する。

【0072】

更に、金属反射層42をAuで形成することは好ましくない。Auは、たとえ第2のバリア層43が形成されている場合であっても、共晶材料(AuSn)と混合してしまい、反射率の低下を招くためである。たとえば半導体発光素子の発光波長が650nm付近である場合、単体のAuで形成された反射層の反射率は90%以上であるが、AuSnとの混合が生じたAu反射層の反射率は、60%以下である。

【0073】

なお、反射層は、最終的に導電性を必要とするため、金属を用い、金属反射層42とした。

【0074】

図3(E)を参照する。支持基板30と半導体層44とを接合した後、GaAs基板である半導体基板21を除去する。除去方法は、第1の実施例において、図1(F)を用いて説明したものと同様である。

【0075】

図3(F)を参照する。半導体基板21を除去した後、半導体発光素子の表面に現れたn型半導体発光層22とオーミック接合をする表電極28を、半導体発光層22上に形成する。表電極28を形成する材料及び方法は、第1の実施例において、図1(G)を用いて説明したものと同様である。

【0076】

以上のような工程を経て、半導体発光素子45を製造することができる。

【0077】

第1の実施例において述べた効果と共通する効果の他に、上記の半導体発光素子の製造方法によると、Alで形成された金属反射層42上にTa等で形成された第2のバリア層43を作製することで、支持基板30と半導体層44との接合に当たって、共晶材料(AuSn)が、反射層に侵入することを防ぐことができる。このため、製造される半導体発光素子45における金属反射層42の反射率の低下を防ぐことができる。

【0078】

なお、前述のように、第2の実施例による製造方法で製造された半導体発光素子45は、第1の実施例による製造方法で製造された半導体発光素子32における第1の侵入バリア層25のA1を、反射電極としても利用する構成となっている。これによりAuZn以外の反射率の低い材料を用いてオームニック電極23とし、A1のオームニック性が悪い場合であっても、高い反射率と優れたオームニック性の双方を満足させることが可能となる。

【0079】

上述の効果、理由により、高品質の半導体発光素子45を製造することができる。

【0080】

第1及び第2の実施例による半導体発光素子の製造方法で製造された半導体発光素子には、ヒ素が含まれていないため、環境に対して与える負荷が小さい。たとえば、自動車用灯体、携帯電話機用バックライト、電光掲示板用光源など環境負荷物質を使用することが望ましくない様々な表示用素子に、好ましく応用することができる。

【0081】

以上、実施例に沿って本発明を説明したが、本発明はこれらに限定されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者には自明であろう。

【0082】**【発明の効果】**

以上説明したように、本発明によれば、高品質の半導体発光素子及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 (A)～(G)は、第1の実施例による半導体発光素子の製造方法を示す概略的な断面図である。

【図2】 (A)～(C)は、半導体発光層の構造を説明するための図である

。

【図3】(A)～(F)は、第2の実施例による半導体発光素子の製造方法を示す概略的な断面図である。

【図4】従来の半導体発光素子の一例を示す概略的な断面図である。

【図5】(A)～(D)は、従来の半導体発光素子の製造方法を説明するための概略的な断面図である。

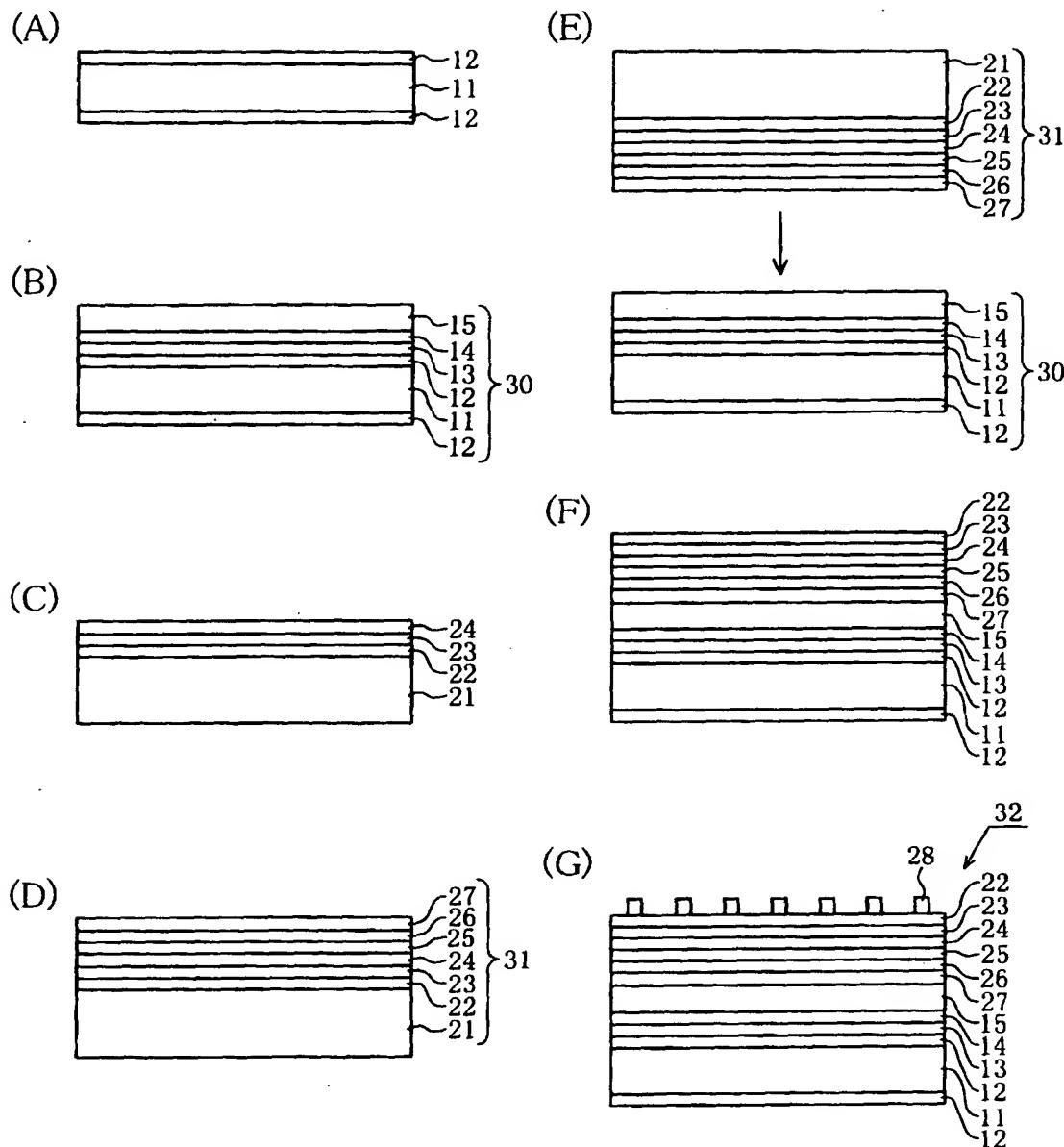
【符号の説明】

- 1 1 導電性基板
- 1 2 Au層
- 1 3 Ti層
- 1 4 Ni層
- 1 5 AuSn共晶層
- 2 1 半導体基板
- 2 2 半導体発光層
- 2 2 b バリア層
- 2 2 w ウエル層
- 2 2 p p型半導体層
- 2 2 n n型半導体層
- 2 2 i i層
- 2 3 オーム電極
- 2 4 拡散バリア層
- 2 5 第1の侵入バリア層
- 2 6 第2の侵入バリア層
- 2 7 金属層
- 2 8 表電極
- 3 0 支持基板
- 3 1 半導体積層構造
- 3 2 半導体発光素子
- 4 1 第1のバリア層
- 4 2 金属反射層

- 4 3 第2のバリア層
- 4 4 半導体層
- 4 5 半導体発光素子
- 6 1 半導体発光素子
- 6 2 p型オーミック電極
- 6 3 導電性支持基板
- 6 4 p型クラッド層
- 6 5 活性層
- 6 6 n型クラッド層
- 6 7 n型電極
- 6 8 反射層
- 6 9 仮基板
- 7 0 第1の基板
- 7 1 第2の基板

【書類名】 図面

【図1】



11:導電性基板

12: Au層

13: Ti層

14: Ni層

15: AuSn共晶層

21:半導体基板

22:半導体発光層

23:オーミック電極

24:拡散バリア層

25:第1の侵入バリア層

26:第2の侵入バリア層

27:金属層

28:表電極

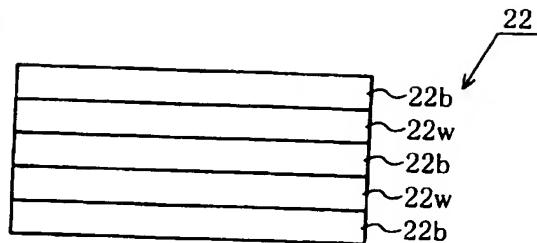
30:支持基板

31:半導体積層構造

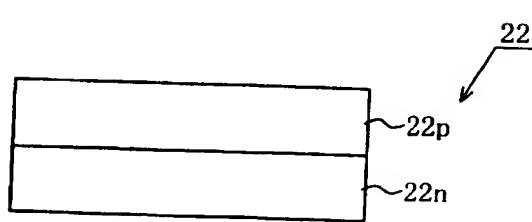
32:半導体発光素子

【図2】

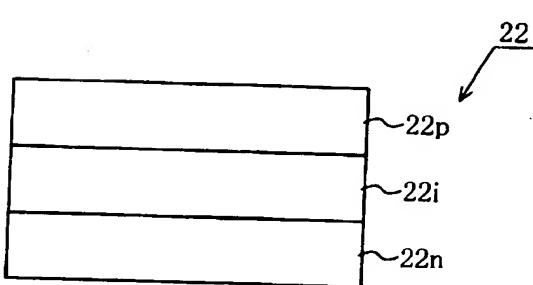
(A)



(B)



(C)



22b: バリア層

22w: ウエル層

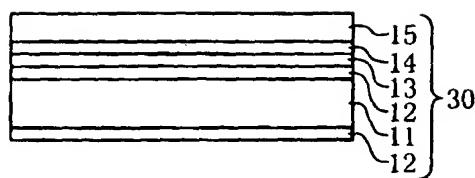
22p: p型半導体層

22n: n型半導体層

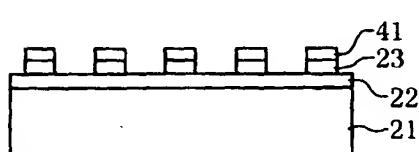
22i: i層

【図3】

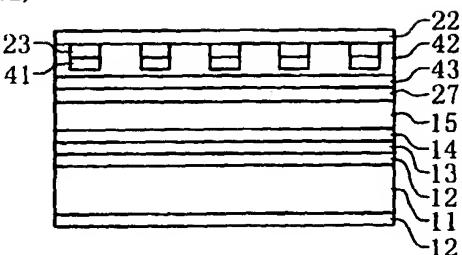
(A)



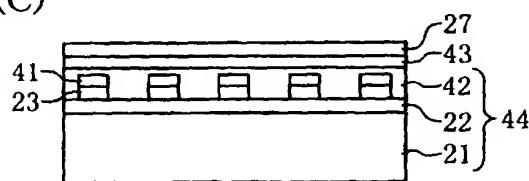
(B)



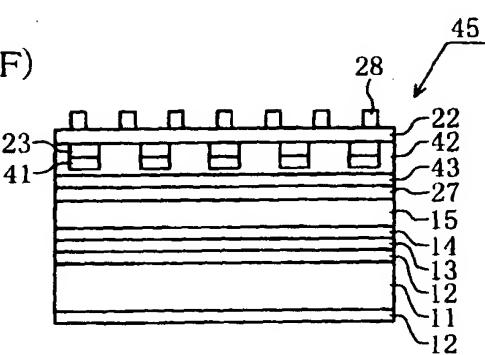
(E)



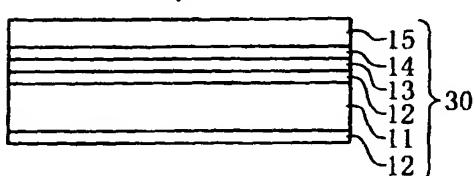
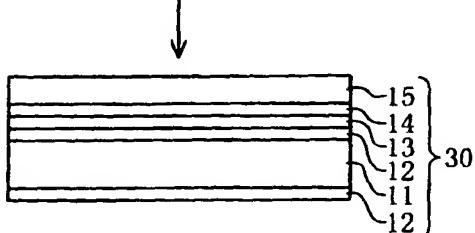
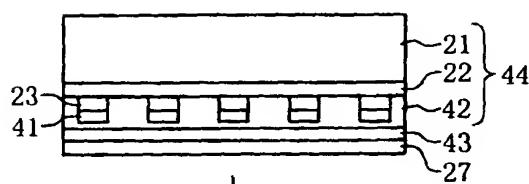
(C)



(F)



(D)



41: 第1のバリア層

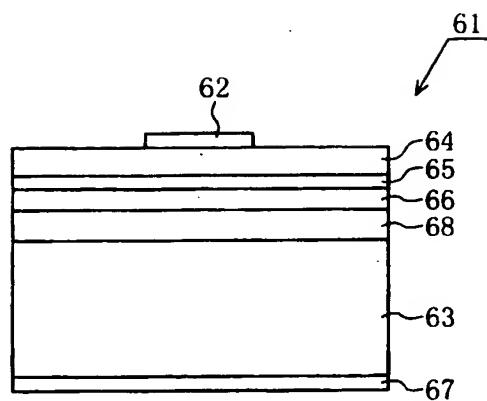
42: 金属反射層

43: 第2のバリア層

44: 半導体層

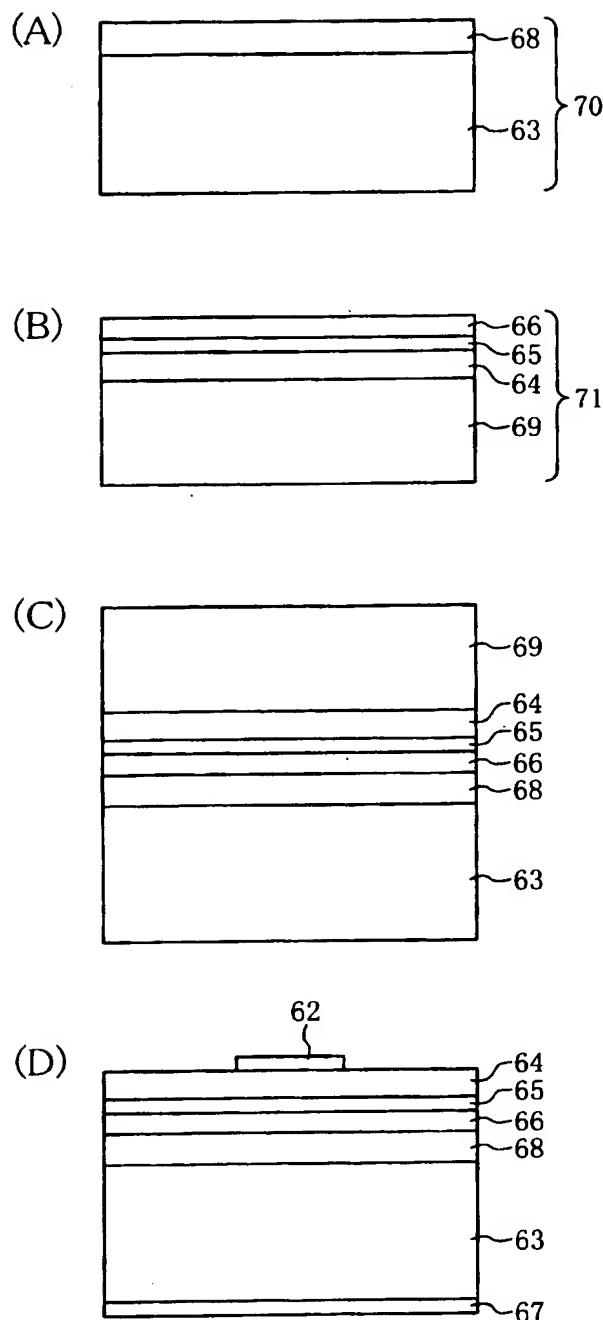
45: 半導体発光素子

【図4】



- 61: 半導体発光素子
- 62: p型オーミック電極
- 63: 導電性支持基板
- 64: p型クラッド層
- 65: 活性層
- 66: n型クラッド層
- 67: n型電極
- 68: 反射層

【図5】



69: 仮基板

70: 第1の基板

71: 第2の基板

【書類名】**要約書****【要約】**

【課題】 高品質の半導体発光素子を提供する。

【解決手段】 第1の基板を準備する。第1の基板上に、ボールアップ防止層を形成する。ボールアップ防止層上に、共晶材料で形成された接合層を形成して、支持基板を得る。第2の基板を準備する。第2の基板上に、半導体発光層を形成する。半導体発光層上の少なくとも一部の領域に、第1の電極を形成する。第1の電極上を含む領域に、バリア層を形成する。バリア層上に、金属層を形成して半導体積層構造を得る。支持基板の接合層と、半導体積層構造の金属層とを接合し、接合体を得る。接合体から、第2の基板を除去する。工程(j)で、接合体表面に露出した半導体発光層上的一部の領域に、第2の電極を形成して、半導体発光素子を得る。

【選択図】

図 1

特願2003-088181

出願人履歴情報

識別番号 [000002303]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 東京都目黒区中目黒2丁目9番13号
氏 名 スタンレー電気株式会社